



时钟分频模块

简介：

时钟分频模块是我们最常用的模块之一，通常传感器等模块的驱动时钟都不能直接使用系统晶振时钟，因此时钟分频几乎成为了 FPGA 项目必不可少的一部分。

实现功能：

此模块实现将输入的系统时钟（或其他自由时钟）进行 N 分频，其中 N 为分频系数。例如：现有 100MHz 的系统晶振，我们将系统晶振通过我们的分频模块，我们就得到了 25MHz 的输出时钟。如果需要其他频率的时钟，我们可以通过改变程序中所定义参数 P_CLK_DIV_CNT 的值。

以上说明了我们可以通过此模块实现输入时钟的 N 分频，但是如果一开始不能确定分频系数，而是只有确定的输出时钟（我们想要的频率）的频率，该如何去确定分频系数的值，举例说明如下：若系统晶振（或其他自由时钟）为 33.3MHz，我们想要得到一个 5MHz 的输出时钟，分频系数 = $33.3\text{M}/5\text{M}$ ，即 P_CLK_DIV_CNT 的值约等于 7。

```
parameter P_CLK_DIV_CNT = 4; //分频系数
```

接口说明：

此模块接口较简单，如下：

Ports:				
Name	Inout	Data Type	Data size	Function
i_clk	input	wire	1	需要分频的时钟
i_rst_n	input	wire	1	低电平有效的系统复位
o_clk_div	output	wire	1	分频后的输出时钟

This datasheet is generated by Robei.

仿真：

下面是分频系数设置为 4 的仿真波形，我们可以看到：分频时钟一个周期的长度占到了系统时钟 4 个周期的长度，也就是实现了 4 分频。

